**附录一 Mantels 实验指导书**

目录

1. 前言
2. 实验平台介绍
   1. 核心实验板介绍
   2. 数电扩展实验板介绍
3. 数字电子技术基础实验
   1. 组合逻辑电路基础
   2. 功能模块设计
   3. 数据结构设计
   4. 外部接口
   5. 平台选用开源框架/库简介\*
4. Mantels Experiment Platform设计
   1. 硬件概述
   2. 核心实验板设计
   3. 数电拓展实验板设计
   4. 平台选用芯片简介\*
5. 安装及部署说明
   1. Mantels Course配置要求及安装说明
   2. Mantels Experiment Platform配置要求及安装说明
   3. 客户端配置要求
6. 总结

**前言**

本实验指导书为Mantels实验教学平台提供实验引导，平台采用了交互式引导设计，可以在网络平台中获取完整体验。

1. **实验平台介绍**
2. **数字电子技术基础实验**
   1. **组合逻辑电路基础**

在本节中，将会学习组合逻辑电路的设计和测试方法，并应用与非门(74LC00)和异或门(74HC86)芯片设计全加器与半加器。

查看本节动态实验指导: http://mantels.top/editexperiment/id/2/index

1. **基本原理**
2. **与非门集成芯片**

与非门是与门和非门的结合，先进行与运算，再进行非运算。与非门是当输入端中有1个或1个以上是低电平时，输出为高电平；只有所有输入是高电平时，输出才是低电平。对于2输入的与非门，其逻辑功能如表2.1.1所示

表2.1.1 2输入与非门逻辑功能

|  |  |  |
| --- | --- | --- |
| 输入 | | 输出 |
| A | B | Y |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

在本次实验中我们使用74LC00芯片，这是一块2输入四与非门集成芯片，芯片内部集成了4个独立的与非门，每个与非门有2个输入端与1个输出端，其逻辑功能与引脚排列如图2.1.1所示。

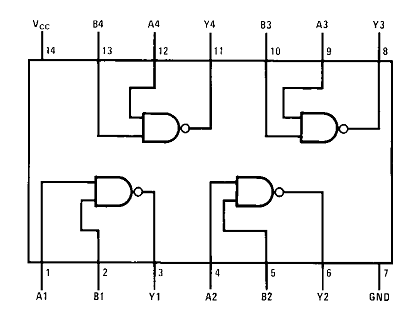


图2.1.1 74LC00芯片逻辑功能与引脚排列

**2） 异或门集成芯片**

异或门是数字逻辑中实现逻辑异或的逻辑门。有多个输入端、1个输出端，多输入异或门可由2输入异或门构成。若两个输入的电平相异，则输出为高电平1；若两个输入的电平相同，则输出为低电平0。亦即，如果两个输入不同，则异或门输出高电平1。对于2输入的异或门，其逻辑功能如表2.1.2所示

表2.1.2 2输入异或门逻辑功能

|  |  |  |
| --- | --- | --- |
| 输入 | | 输出 |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

在本次实验中我们使用74LC86芯片，这是一块2输入四异或门集成芯片，芯片内部集成了4个独立的异或门，每个与非门有2个输入端与1个输出端，其逻辑功能与引脚排列如图2.1.2所示。

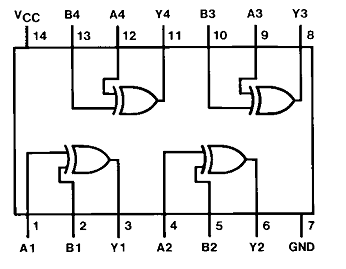


图2.1.2 74LC86芯片逻辑功能与引脚排列

**3） 半加器与全加器**

半加器是一种一位二进制数加法运算器件。它具有两个输入端(被加数A和加数B)及两个输出端(本位和S及进位C)。半加是指它不考虑从低位的进位(即不考虑Ci-1) 。其真值表如表2.1.3所示。

表2.1.3 半加器真值表

|  |  |  |  |
| --- | --- | --- | --- |
| 输入 | | 输出 | |
| A | B | S | C |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

全加器即为考虑进位的加法器件，其真值表如表2.1.4所示。

表2.1.4 全加器真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入  输出 | | | 输出 | |
| A i | B i | Ci-1 | S i | C i |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

1. **实验内容**

**1） 设计半加器**

用异或门74LS86和与非门74LS00设计一个半加器。

接口使用: 输入采用K7(A)与K8(B)，输出采用LED7(S)与LED8(C)

在完成实验后根据真值表测试电路，在完成测试后选择”check experiment”上传实验结构。

**2） 设计全加器**

用异或门74LS86和与非门74LS00设计一个全加器。

接口使用: 输入采用K6(Ai)、K7(Bi)和K8(Ci-1)，输出采用LED7(Si)与LED8(Ci)

在完成实验后根据真值表测试电路，在完成测试后选择”check experiment”上传实验结构。

**2） 按照真值表设计电路**

依照表设计一个电路

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入  输出 | | | | 输出 | 输入 | | | | 输出 |
| A | B | C | D | F | A | B | C | D | F |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |

1. **课后思考**

1） 在实际电路连接中，与非门多余的输入端应如何处理？

2） 与非门和异或门能不能作与非门使用？为什么？